IPhO 2018
Lisbon, Portugal

Q1-1

Korean (Korea (Republic of))

종이 트랜지스터 (10점)

현대 사회의 전자 기술은 단순하면서도 강력한 소자인 트랜지스터에 바탕을 두고 있다. 트랜지스터는 스위치로도 증폭기로도 쓸 수 있다. 스위치 모드는 디지털 정보의 저장과 처리에 쓰인다.

여기서는 두 가지 유형의 전계효과 트랜지스터(FET), 곧 JFET(접합 전계효과 트랜지스터)와 TFT(박막 트랜지스터)를 분석한다.

FET가 어떻게 작동하는지 여기서 간단히 설명한다. FET는 비선형 3단자 소자이며, 단자의 이름은 게이트(G), 소스(S), 드레인(D)이다. FET는 게이트와 소스 사이에 가한 전압으로 소스와 드레인 사이의 전류 흐름을 조절할 수 있다. 완전하지는 않지만 간단한 비유로, FET는 수도꼭지와 비슷하게 작동하며 손잡이가 물의 흐름을 조절하는 게이트 역할을 한다.

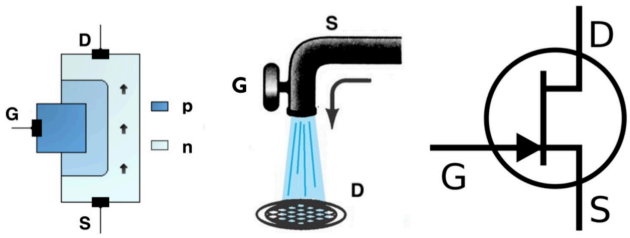


그림 1. n채널 JFET의 개략도(왼쪽), 그 유체역학적 비유(가운데), 전기 회로 기호(오른쪽). JFET 개략도의 화살표는 좁은 n채널을 통해 소스(S)에서 드레인(D)으로 흐르는 전류의 방향을 나타낸다. 채널의 폭은 게이트(G)와 소스(S) 사이에 가한 전압에 따라 달라진다.

접합 FET(JFET)는 실리콘과 같은 반도체 물질의 p형과 n형 두 종류 사이의 접합 성질을 이용하며, 그래서 그런 이름이 붙었다. JFET는 소스와 드레인 사이에 전류가 흐르는 좁은 채널을 가지며, n채널 FET에서 이 채널은 n형 물질로 만들어진다. 그런 채널의 폭은 게이트와 소스 사이에 **음의** 전압 $V_{\mathrm{GS}} = V_{\mathrm{G}} - V_{\mathrm{S}}$ 를 가하여 정밀하게 조절할 수 있다. 고정된 V_{GS} 에 대해, 소스와 드레인 사이에 흐르는 전류는 드레인과 소스 사이에 가한 전압 $V_{\mathrm{DS}} = V_{\mathrm{D}} - V_{\mathrm{S}}$ 에 비선형으로 의존한다. 그러나 V_{DS} 가 작으면 전류는 가한 전압에 선형으로 의존하며, 따라서 JFET는 옴 거동을 보인다. 그러나 출력 저항 $R_{\mathrm{DS}} = V_{\mathrm{DS}}/I_{\mathrm{DS}}$ 는 가한 V_{GS} 전압에 강하게 의존하며 다음 법칙을 매우 잘 따른다:

$$R_{\mathrm{DS}} = \frac{R_{\mathrm{DS}}^{0}}{1 - V_{\mathrm{GS}}/V_{\mathrm{P}}}\,, \tag{1}$$

여기서 R_{DS}^{0} 은 $V_{\mathrm{GS}} = 0$ 에서의 출력 저항이고 $V_{\mathrm{P}} < 0$ 은 *핀치오프 전압*이라 하는 JFET의 변수이다. 분명히 핀치오프 전압에서는 FET가 전류 흐름을 막는다.

고정된 $V_{\mathrm{GS}} > V_{\mathrm{P}}$ 에 대해, V_{DS} 를 키우면 소스와 드레인 사이의 전류가 선형 거동에서 벗어나기 시작하여 어느 지점에서 거의 일정한 값으로 포화한다. I_{DSS} 를 $V_{\mathrm{GS}} = 0$ 일 때의 포화 전류라고 하자. 포화 영역(가한 V_{DS} 가 클 때)에서 포화 전류는 다음과 같이 V_{GS} 에 의존한다:

$$I_{\mathrm{DS}} = I_{\mathrm{DSS}}(1 - V_{\mathrm{GS}}/V_{\mathrm{P}})^{2}\,. \tag{2}$$

IPhO 2018
Lisbon, Portugal

Q1-2

Korean (Korea (Republic of))

JFET의 매우 중요한 두 가지 특성을 강조해야 한다. 출력 저항은 꽤 낮을 수 있지만, 입력 저항($R_{\mathrm{GS}} = V_{\mathrm{GS}}/I_{\mathrm{GS}}$)은 매우 커서 보통 $10^9\ \Omega$ 보다 크며, 따라서 이 소자는 입력 전류를 거의 쓰지 않는다. 또한 작은 JFET의 전기용량은 매우 작아 MHz 이상으로 '열고 닫을' 수 있는 매우 빠른 소자가 된다.

이제 다른 유형의 FET인 TFT가 어떻게 작동하는지 설명한다.

다른 FET와 마찬가지로 TFT는 세 번째 전극인 게이트에 가한 전위를 통해, 드레인과 소스 두 접점 사이의 전류를 조절할 수 있다.

게이트 전극은 반도체층에서 유전체로 물리적으로 분리되어 있으며, 이 유전체는 반도체 안에 있는 자유 전하 운반자를 조절할 수직 전기장을 만들 수 있게 한다(전계 효과). 유전체층은 이동성 이온이 있는 종이 같은 전해질 막으로 바꿀 수 있고(그림 2 참조), 이 경우 게이트에 가한 전압이 이온을 반대 전하와 함께 반도체 경계면 쪽으로 밀어내어, 반도체 안에 있는 자유 운반자의 밀도를 조절할 전하 시트를 만든다(전해질 게이트 트랜지스터 - EGTs). 리스본의 Universidade Nova 연구자들은 2008년 "종이 트랜지스터"를 개발한 선구자였으며, 이 분야의 세계적 선도 그룹이다.

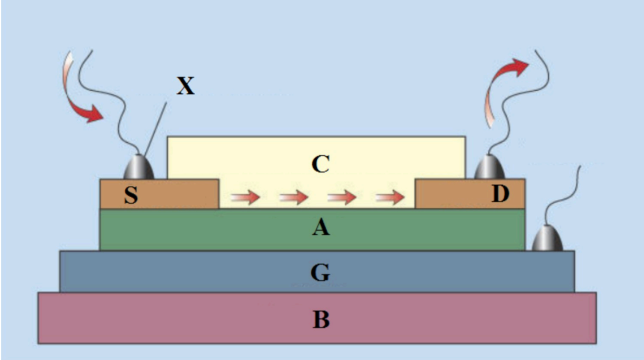


그림 2. 이 문제에서 쓸 종이 박막 트랜지스터(TFT)의 개략도. S - 소스; D - 드레인; G - 게이트; A - 종이(유전체); B - 기판; C - 반도체층(갈륨-인듐-아연 산화물(GIZO)); X - 금속 접점. 화살표는 통상적인 전류의 흐름을 나타낸다.

JFET와 비슷하게 TFT 트랜지스터도 선형 모드와 포화 모드의 두 기본 작동 모드로 동작할 수 있다. JFET와 달리 TFT의 고유 전기용량은 소자 성능에 관련된 변수이다.

이 실험 문제에서는 n채널 JFET와 종이 TFT가 어떻게 작동하는지 살펴본다.

G(V_{GS})와 D(V_{DS})에 서로 다른 전압을 가하여 S와 D 사이의 전류 (I_{DS})를 측정함으로써 이 소자들의 특성 곡선(CC)을 정한다.

가장 중요한 두 CC는 출력 곡선과 전달 곡선이다:

- **출력 곡선**: 이 곡선에서는 V_{GS} 를 일정하게 유지한 채, 소스와 드레인 사이의 전류 (I_{DS})를 소스와 드레인 사이 전압(V_{DS})의 함수로 측정하여 그린다. V_{DS} 는 0 V 에서 $+3$ V 까지 단계적으로 훑는다.
- **전달 곡선**: 이 곡선에서는 I_{DS} 를 V_{GS} 에 대해 측정하여 그린다. V_{DS} 는 트랜지스터가 **포화 모드**로 작동하도록 알맞은 값으로 일정하게 유지하고, V_{GS} 는 -3 에서 0 V 까지 단계적으로 훑는다.

IPhO 2018
Lisbon, Portugal

Q1-3

Korean (Korea (Republic of))

장비

이 실험 문제에는 다음 장비 세트(그림 3)가 주어진다:

1. 멀티미터
2. JFET 트랜지스터(이름표가 붙은 비닐봉지 안에 들어 있음)
3. 악어클립이 달린 케이블 (10개)
4. 납작한 악어클립 (4개, 비닐봉지 안에 들어 있음)
5. 전지 팩 (4×1.5 V)
6. 전지 홀더
7. 받침이 달린 미니 브레드보드
8. 미니 브레드보드에 연결할 점퍼 선 (3개)
9. HB 연필
10. 은잉크 전도성 펜 (Circuit Scribe)
11. 크로노미터
12. 인쇄된 회로와 종이를 유전체층으로 쓰는 내장 TFT가 있는 종이 시트 (그림 4)
13. 필기구 봉지 (펜 1, 연필 1, 지우개/연필깎이 1, 자 1)

IPhO 2018
Lisbon, Portugal

Q1-4

Korean (Korea (Republic of))

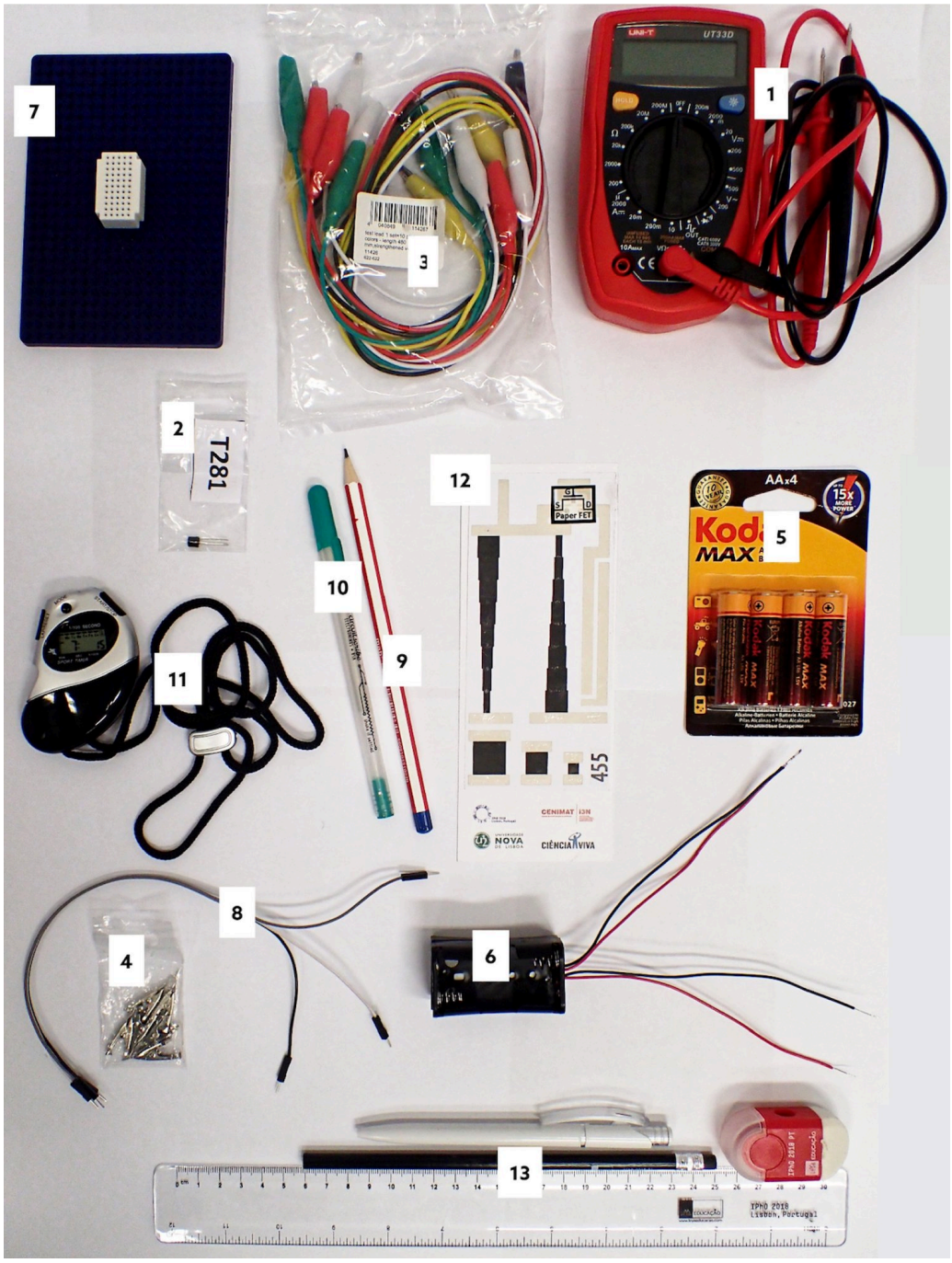


그림 3. 장비 세트.

IPhO 2018
Lisbon, Portugal

Q1-5

Korean (Korea (Republic of))

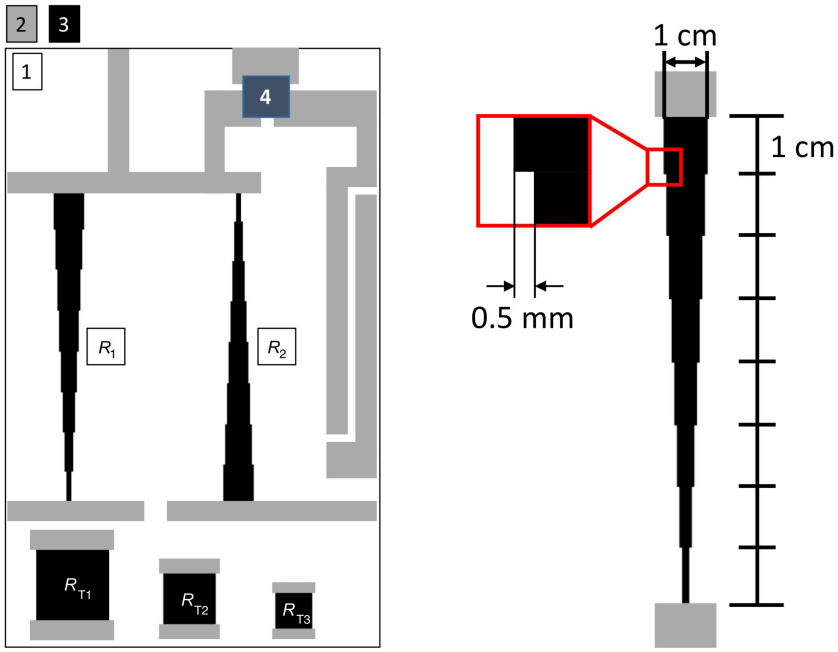


그림 4. 왼쪽: 장비에 포함된 인쇄 회로가 있는 종이 시트: 종이 (1), 은 전도성 트랙 (2), 탄소 저항성 트랙 (3), 종이 트랜지스터 (4), 전압 분배기 저항 (R_1, R_2). 오른쪽: 전압 분배기 저항의 물리적 치수(각 구간에서 0.5 mm 단계는 일정하다).

중요한 주의:
인쇄 회로와 내장 트랜지스터가 있는 종이 시트를 **접지 마라**. 쉽게 손상된다. 최선의 결과를 얻으려면 측정하는 동안 되도록 평평하게 유지하라.

측정에서는 다음 **중요한 정보**를 고려하는 것이 중요하다:

IPhO 2018
Lisbon, Portugal

Q1-6

Korean (Korea (Republic of))

- 멀티미터는 언제나 **DC 모드**로 작동시켜야 한다.
- 멀티미터는 자동 범위 조정을 하지 않으므로 측정에 가장 알맞은 범위를 잘 골라야 한다. 오버플로가 생기면 표시창에 "1" 또는 "-1"(표시창 왼쪽 정렬)이 나타나며, 각각 양수와 음수 값에 해당하고, 더 낮은 범위로 바꾸어야 한다.
- 저전류 범위는 315 mA 퓨즈로 보호된다. **전지와 멀티미터 사이에 단락 회로가 생기지 않도록 반드시 피하라.** 큰 전류가 흐르면 퓨즈가 끊어진다!
- 전압계 모드로 작동할 때 멀티미터의 내부 저항은 $10\ \mathrm{M\Omega}$ 이다.
- 전류계로 작동할 때 멀티미터의 내부 저항은 다음 표처럼 범위에 따라 달라진다:

범위	R_{int}/Ω
200 mA	1.0
20 mA	10
2 mA	100

표 1. 전류계로 작동할 때 주어진 멀티미터의 내부 저항.

따라서 멀티미터를 DC 전류계 모드로 쓸 때, 세 가지 DC 범위 가운데 어느 것에서든 전체 눈금에서 단자 사이에 최대 200 mV 의 전압 강하가 생긴다.

파트 A. 회로 치수 정하기 (2.5점)

필요한 V_{DS} 와 V_{GS} 전압을 얻기 위해 종이에 인쇄된 두 개의 탄소 저항 (R_1 과 R_2, 그림 4 참조)과 전압 분배기 회로를 써서 알맞은 전위 강하를 얻도록 회로의 치수를 정한다. R_1 과 R_2 는 전압 분배기 회로의 전체 저항(R_{tot})이 된다. 일정한 전압 (이 경우 전지에서 약 3 V)을 가하면, 예를 들어 R_1 양단에서 3 V(V_{in}, 전지의 양극 접점) 에서 접지(0 V; 이제부터 두 전지 팩의 공통 접점을 접지라 한다)까지 전압 강하가 생긴다. R_{tot} 은 본질적으로 두 저항(R_x 와 R_y)으로 나눌 수 있어 원하는 V_{out} 을 얻을 수 있다(그림 5).

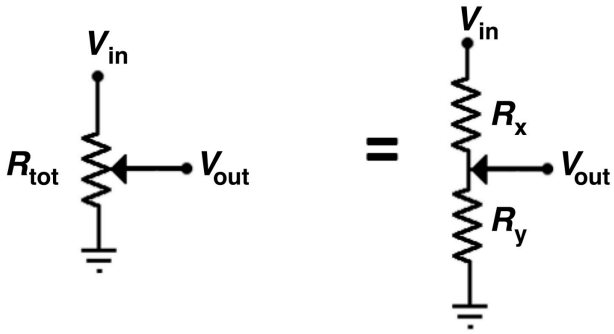


그림 5. 전압 분배기 회로.

IPhO 2018
Lisbon, Portugal

Q1-7

Korean (Korea (Republic of))

A.1	출력 전압 V_{out} 을 V_{in} 과 저항 R_x, R_y 의 함수로 나타내는 식을 써라.	0.2pt
A.2	시트 아래쪽에 있는 세 시험 저항(R_{T1}, R_{T2}, R_{T3})의 저항을 멀티미터로 측정하라. 은 접점 위에서 위치를 달리하며 충분히 많은 측정을 하라. 값을 답안지에 적어라. 평균값을 계산하고 각 시험 저항의 불확도를 어림하라.	0.5pt
A.3	비저항이 ρ 인 정사각형 박막의 저항이 그 변의 길이와 무관함을 보여라. 이 크기에 무관한 저항을 *면저항*이라 하며 $R_{\square}$ 로 나타낸다.	0.3pt
A.4	A.2의 자료로부터 탄소막의 면저항 평균값을 계산하고, 탄소막의 비저항 ρ 와 그 불확도를 구하라(탄소막의 두께를 20 ± 1 μm 로 보라).	0.4pt
A.5	R_1 과 R_2 저항의 이론값이 $R_1 = R_2 = \kappa R_{\square}$, $\kappa \sim 14.2897$ 임을 보여라. R_1 과 R_2 를 측정하고 그 값을 답안지에 적어라. κ 의 실험값을 정하고 이론값과 비교하라.	0.5pt

주어진 은잉크 펜으로, 주어진 각 저항을 따라 같은 간격의 전도선 7개를 그려라 (그림 6에 예시). 이 개별 선들은 전압 분배기의 접점 역할을 한다.

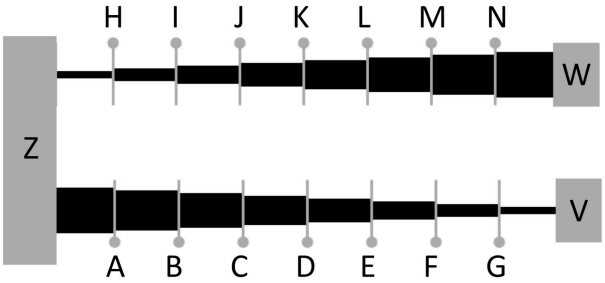


그림 6. 선 그리기 예시와 접점의 이름 붙이기 방식.

A.6	모든 접점에 대해 저항 R_x 와 R_y 를 측정하라. R_x 는 접점과 점 V(저항 1) 또는 W(저항 2) 사이의 저항으로, R_y 는 접점과 점 Z 사이의 저항으로 정의한다. 답안지에 주어진 표를 채워라.	0.3pt

AA 전지 4개를 전지 홀더에 넣어라. 전지 극성을 잘 살펴 지키고

IPhO 2018
Lisbon, Portugal

Q1-8

Korean (Korea (Republic of))

단락 회로가 생기지 않도록 하라. 그런 다음 그림 7처럼 전지 팩을 물리적으로 연결하라. 악어클립으로 은 트랙을 손상시키지 않도록 하라.

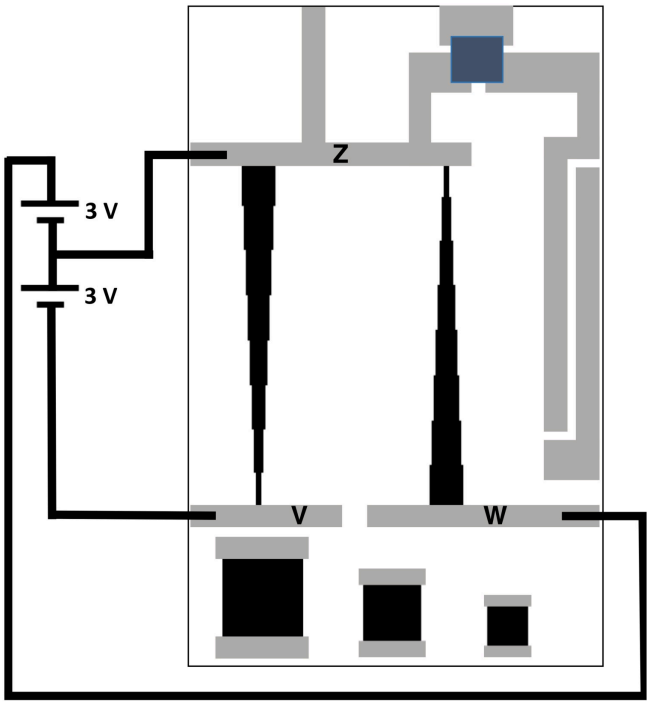


그림 7. 전지 연결

A.7	각 접점에서 V_{out} 을 측정하라. V_{out} 은 점 Z에 대해 측정한 전압이며, 그 값을 답안지에 주어진 표에 적어라.	0.3pt

이것으로 회로 치수 정하기 부분이 끝났고, 이제 JFET 트랜지스터의 CC를 측정하는 단계로 넘어갈 수 있다.

파트 B. 상용 JFET 트랜지스터의 특성 곡선 (4.5점)

JFET 트랜지스터의 특성을 알아보기 위해 그림 8에 나타낸 장치를 쓴다. 먼저 주어진 JFET 트랜지스터에서 세 접점(S, D, G)을 확인하라 – **소자가 대칭이 아니므로 접점을 올바르게 확인하는 데 주의하라!** JFET 트랜지스터를 장착하는 데 받침이 달린 미니 브레드보드를 써도 된다. 주어진 점퍼 선은 미니 브레드보드와 함께 쓴다.

주어진 케이블을 써서 트랜지스터의 게이트와 소스를 접지(회로의 점 Z, 0 V)에 연결하라. 이 파트 전체에서 JFET의 소스는 언제나 접지에 연결된 채로 두어야 한다.

IPhO 2018
Lisbon, Portugal

Q1-9

Korean (Korea (Republic of))

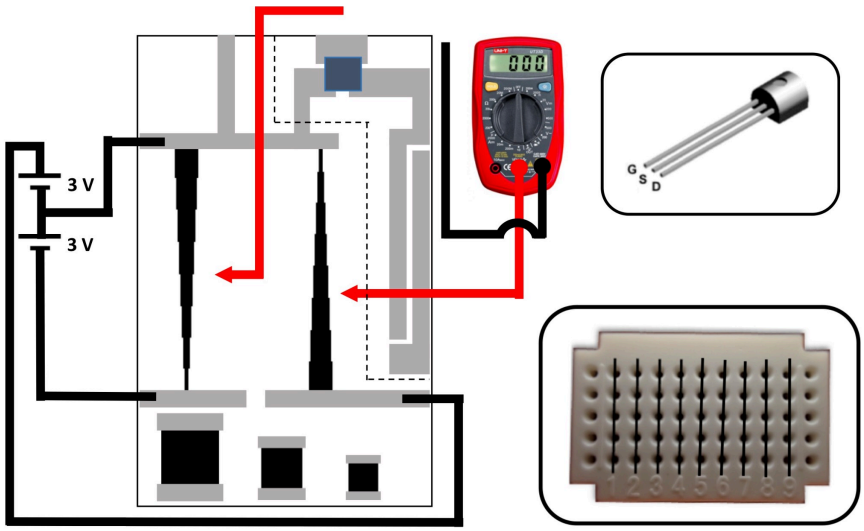


그림 8. JFET 특성 곡선을 정하기 위한 장치. 점선 영역 안쪽 회로의 TFT를 포함하는 부분은 문제의 파트 B에서 쓰지 않는다. 위쪽 삽입 그림은 JFET 트랜지스터의 게이트, 소스, 드레인을 확인하는 방법을 보여 준다. 아래쪽 삽입 그림은 미니 브레드보드의 구멍이 어떻게 연결되어 있는지를 보여 준다. 번호가 매겨진 한 열의 모든 구멍은 내부적으로 서로 연결되어 있고 다른 열의 구멍과는 분리되어 있다. 멀티미터 그림은 예시일 뿐이며, 멀티미터의 회전 선택기에서 알맞은 측정 모드와 범위를 고르는 것은 여러분의 몫이다.

B.1	트랜지스터의 게이트를 접지에 연결하라($V_{\mathrm{GS}} = 0$). 그런 다음 DC 전류 모드로 써야 하는 멀티미터 케이블 가운데 하나를 트랜지스터의 드레인에 연결하고, 다른 케이블은 전압 분배기에서 쓸 수 있는 가장 높은 전압의 점에 대라. 답안지에 전류 I_{DS} 의 값을 적어라.	0.2pt

B.2	$V_{\mathrm{GS}} = 0$ 을 유지한 채, 드레인에 가한 여러 양의 전압에 대해 전류 I_{DS} 를 측정하라. 그런 다음 트랜지스터의 게이트와 소스 사이에 음의 전압 ($V_{\mathrm{GS}} < 0$)을 가하도록 회로를 바꾸고, 드레인과 소스 사이에 가한 양의 전압의 함수로 I_{DS} 를 측정하는 것을 되풀이하라. 답안지에 주어진 표를 여러분의 값으로 채워라.	0.8pt

전압 분배기 회로를 낮은 저항의 부하에 연결하면(그림 9), 전압 분배기가 주는 전압 값 $V_{\mathrm{out}}^{\mathrm{L}}$ 은 고임피던스 전압계처럼 부하가 큰 저항일 때 측정되는 공칭값 V_{out} 과 다르다.

IPhO 2018
Lisbon, Portugal

Q1-10

Korean (Korea (Republic of))

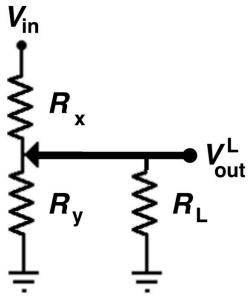


그림 9. 부하가 있는 전압 분배기.

B.3	전압 분배기가 부하 R_{L} 에 연결되어 있다고 하자. 보정 인자 $f = V_{\mathrm{out}}^{\mathrm{L}}/V_{\mathrm{out}}$ 을 R_{L}, R_x, R_y 의 함수로 나타내는 식을 구하라.	0.2pt

JFET 트랜지스터는 $V_{\mathrm{GS}} = 0$ 일 때 출력 저항이 낮으며, 그 값은 $R_{\mathrm{DS}}^{0} \sim 50\ \Omega$ 이다. 그러나 게이트가 소스에 대해 음으로 분극되면 이 저항은 크게 커진다. $V_{\mathrm{GS}} < 0$ 에 대해 출력 저항은 식 (1)로 주어지는 법칙을 매우 잘 따른다.

B.4	알맞은 보정 인자를 써서, B.2에서 측정한 모든 점에 대해 드레인과 소스 사이의 전압 강하 V_{DS} 를 계산하라. 이 문제에서 쓰는 JFET에 대해 다음 공칭 자료를 생각하라: $R_{\mathrm{DS}}^{0} = 50\ \Omega$, $V_P = -1.4$ V.	1.2pt

B.5	여러분의 JFET 트랜지스터에 대해 출력 곡선 $I_{\mathrm{DS}}(V_{\mathrm{DS}})$ 를 그려라.	0.5pt

B.6	작은 V_{DS} 에서 작동하는 트랜지스터를 생각하라. 서로 다른 V_{GS} 에 대해 여러분 JFET의 R_{DS} 의 *실험*값을 구하고 자료를 그려라.	0.5pt

B.7	$V_{\mathrm{DS}} \sim +3$ V 에 대해 여러분 JFET 트랜지스터의 전달 곡선 $I_{\mathrm{DS}}(V_{\mathrm{GS}})$ 를 그려라.	0.3pt

JFET 트랜지스터가 포화 모드일 때 전류 I_{DS} 는 식 (2)로 나타낸 법칙을 매우 잘 따른다.

B.8	측정한 자료로부터 여러분 소자의 I_{DSS} 와 *핀치오프* 전압 V_P 를 구하라. 얻은 V_P 값을 공칭값과 비교하라.	0.4pt

JFET 트랜지스터의 중요한 변수 하나는, 특히 증폭기로 쓰일 때, 이른바 트랜지스터 트랜스컨덕턴스 g 이며 다음과 같이 정의된다

$$g = \frac{\partial I_{\mathrm{DS}}}{\partial V_{\mathrm{GS}}}\,. \tag{3}$$

두 변수의 함수 $f(x, y)$ 에 대해 $\frac{\partial f}{\partial x}$ 라는 표기는 y 를 일정하게 유지할 때 f 의 x 에 대한 미분을 뜻한다.

B.9	측정한 전달 곡선으로부터 $V_{\mathrm{GS}} = -0.50$ V 에서 여러분 소자의 트랜스컨덕턴스를 구하라. 모형 식 (2)로 계산한 값과 비교하라.	0.4pt

파트 C. 종이 박막 트랜지스터 (2.0점)

이제부터 JFET는 치우고, 다음의 모든 과제와 질문은 인쇄 회로의 위쪽 모서리에 있는 종이 박막 트랜지스터(TFT)에 관한 것이다. TFT의 게이트, 소스, 드레인은 그림 10에 표시되어 있다. TFT 게이트와 소스를 접지에 연결하라. 이 문제 부분에서도 종이 TFT의 소스는 언제나 전지 팩의 공통 접점, 곧 0 V 에 연결되어 있어야 한다. 그림 10에 나타낸 대로이다. 전압 회로 분배기 가운데 하나를 통해 $V_{\mathrm{DS}} > 0$ 로 트랜지스터를 분극하라(그림 10). 전류계에 전류가 흐르는지 확인하라.

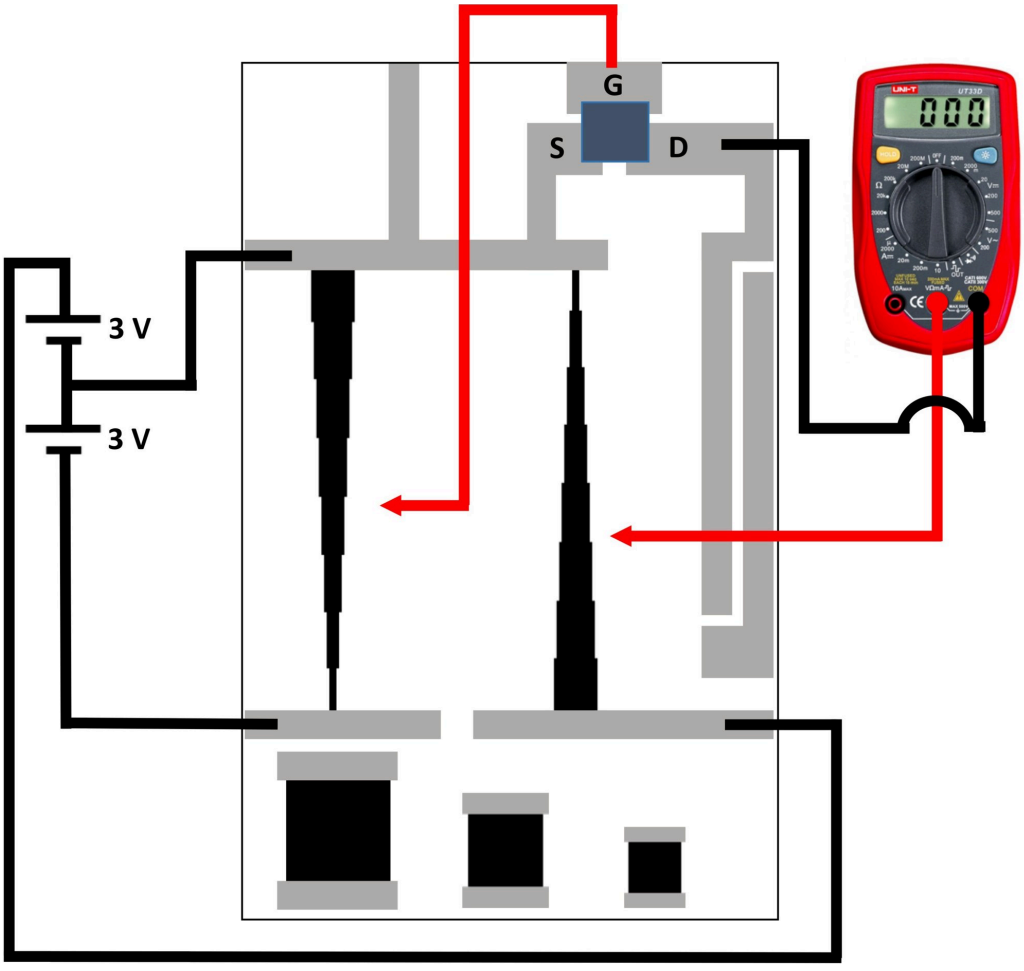


그림 10. 종이 TFT 측정을 위한 장치. 멀티미터 그림은 예시일 뿐이며, 멀티미터의 회전 선택기에서 알맞은 측정 모드와 범위를 고르는 것은 여러분의 몫이다.

IPhO 2018
Lisbon, Portugal

Q1-12

Korean (Korea (Republic of))

C.1	$V_{\mathrm{DS}} = +3.0$ V 를 가하라. $V_{\mathrm{GS}} = -3.0$ V 를 가하여 트랜지스터를 닫아라. 트랜지스터가 닫히도록 1분 동안 기다려라. 답안지에 전류의 잔류값 I_{closed} 를 적어라. 그런 다음 $V_{\mathrm{DS}} = +3.0$ V 를 유지한 채 $V_{\mathrm{GS}} = 0$ 으로 하여 트랜지스터를 열어라. 트랜지스터를 여는 순간부터 시작하여 최소 5분 동안 시간의 함수로 전류를 측정하고 답안지에 자료 $I_{\mathrm{DS}}(t)$ 를 모아라.	0.8pt

C.2	$I_{\mathrm{DS}}(t)$ 를 그려라. 시간 의존성에는 두 지수 과정이 겹쳐 있으며, 하나는 다른 것(τ_1)보다 훨씬 큰 시간 상수(τ_2)를 갖는다. 더 짧은 시간 상수 τ_1 을 정하라.	1.2pt

파트 D. 인버터 회로 (1.0점)

마이크로전자 회로에서 가장 중요한 회로 가운데 하나는 인버터로, 디지털 입력을 반전시킬 수 있다. 예를 들어 V_{in} 이 높으면 V_{out} 은 낮고 그 반대도 마찬가지이다. 이 회로의 바탕에는 다시 트랜지스터가 있으며, 가장 간단한 설계 가운데 하나가 그림 11에 그린 이른바 공통 소스 증폭기이다. 이 회로는 트랜지스터와 부하 저항(R_{L})을 쓴다. 이 경우 $V_{\mathrm{in}} = V_{\mathrm{GS}}$ 이고 V_{out} 은 트랜지스터의 드레인 전극에서 측정한 전압이다. 따라서 이 파트에서는 V_{GS} 를 -3 V 에서 0 V 까지 훑으면서 V_{out} 에 무슨 일이 일어나는지 살펴본다.

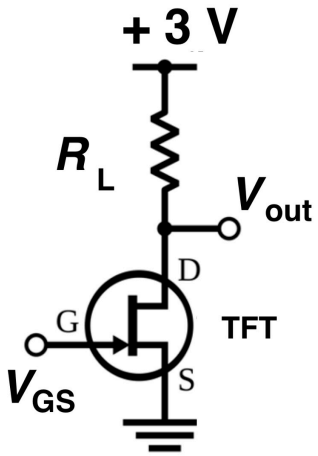


그림 11. 공통 소스 증폭기와 인버터 회로.

그림 11의 장치에서 트랜지스터는 종이 TFT이고 R_{L} 은 이제 여러분이 손으로 더할 부하 저항으로, 그림 12에 나타낸 대로 연필 자국을 써서 트랜지스터의 드레인 접점을 V_{in} 접점에 연결한다. 이렇게 그릴 때 저항을 계속 확인하라. 실제로 연필로 그리는 것은 종이 위에 전도성 흑연층을 쌓는 것이므로, 서로 겹쳐 그릴수록 저항은 낮아진다. R_{L} 을 그릴 때 부하 저항이 충분히 크도록 하라. V_{out} 을 되도록 0 V 에 가깝게 끌어내리려면 그렇게 해야 한다. 저항을 그릴 때 목표값 $R_{\mathrm{L}} = 200\ \mathrm{k\Omega}$ 에 가까운 값을 목표로 하라.

연필로 R_{L} 을 줄이거나 지우개로 늘릴 수 있다. 목표값에서 10% 넘게 벗어나지 않는 값을 얻는 것을 목표로 하라.

IPhO 2018
Lisbon, Portugal

Q1-13

Korean (Korea (Republic of))

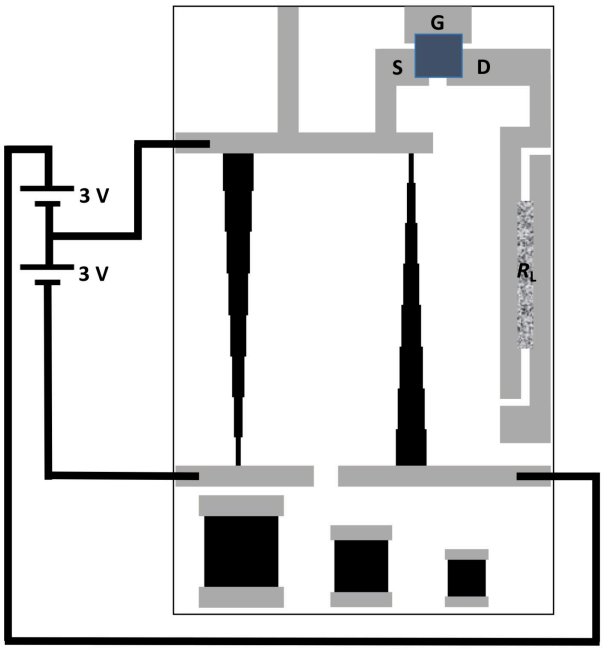


그림 12. 인버터/공통 소스 증폭기 구성을 위한 장치.

포함된 HB 연필로 값이 $R_{\mathrm{L}} \simeq 200\ \mathrm{k\Omega}$ 인 탄소 저항을 손으로 그려서, 종이 TFT의 부하 저항으로 쓰라(그림 12 참조).

D.1	답안지에 여러분이 얻은 측정된 R_{L} 값을 적어라. 탄소 트랙 저항과 종이 TFT를 써서 인버터 회로(그림 12)를 구성하라. 측정 전에, $V_{\mathrm{GS}} = -3$ V 를 가하여 트랜지스터를 완전히 꺼야 하고 $\sim$ 1분 기다려야 함을 기억하라. 그런 다음 V_{GS} 를 -3 V 에서 0 V 까지 훑으면서 V_{out} 을 측정하고, 각 점마다 최대 100 s 의 안정화 시간을 두고 V_{out} 값을 읽어라. 측정한 값을 답안지에 적어라.	0.5pt

D.2	측정한 $V_{\mathrm{out}}(V_{\mathrm{in}})$ 전압 전달 곡선을 그리고, 자료점을 지나는 매끄러운 추세 곡선을 그려라.	0.5pt